

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08279251 A**

(43) Date of publication of application: 22 . 10 . 96

(51) Int. Cl.

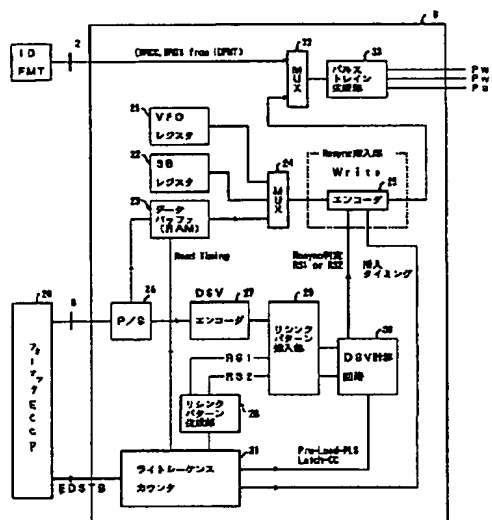
G11B 20/14
G06F 3/08
(21) Application number: **07076760**(22) Date of filing: **31 . 03 . 95**(71) Applicant: **FUJITSU LTD**
(72) Inventor: **YANAGI SHIGETOMO**
FURUTA SATOSHI
(54) **ENCODING DEVICE AND MEMORY DEVICE**

(57) Abstract:

PURPOSE: To improve the stability and reliability of data reproduction by inserting a resync byte of resync patterns to minimize DSV into the present data block.

CONSTITUTION: The data are supplied to a data buffer 23 before one data block to which the data are supplied to an encoder 27. The data are read out of this buffer 23 after the calculation results of the DSV are obtd. from a DSV calculation circuit 30. This timing is controlled by the read timing of a write sequence counter 31. The VFO patterns of a VFO register 21, the sync byte of a sync byte register 22 and the data of the buffer 23 are multiplexed by a multiplexer 24 and are encoded to modulated codes by an encoder 25. At this time, the encoder 25 inserts the resync pattern to minimize the DSV obtd. in the circuit 30 at the timing of the insertion timing signal from the counter 31.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 2 7 9 2 5 1

(43) 公開日 平成 8 年 (1996) 10 月 22 日

(51) Int. Cl. ^a

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 B 20/14

3 4 1

9463-5 D

G 1 1 B 20/14

3 4 1

A

G 0 6 F 3/08

G 0 6 F 3/08

F

審査請求 未請求 請求項の数 2 6

O L

(全 1 9 頁)

(21) 出願番号

特願平 7-76760

(22) 出願日

平成 7 年 (1995) 3 月 31 日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

(72) 発明者 柳 茂知

神奈川県川崎市中原区上小田中 1015 番地
富士通株式会社内

(72) 発明者 古田 聡

兵庫県加東郡社町佐保 35 番 (番地なし)
富士通周辺機株式会社内

(74) 代理人 弁理士 伊東 忠彦

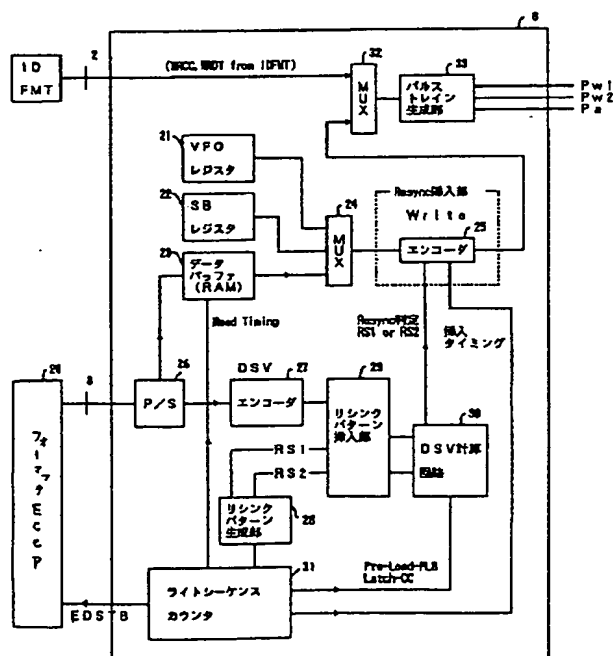
(54) 【発明の名称】 エンコード装置及び記憶装置

(57) 【要約】 (修正有)

【目的】 エンコード (C o d) 装置及び記憶装置に関し、任意のデータに対して再生信号の直流成分を一定に保ってデータ再生時のスライスレベルマージンを大きくでき、データ再生の安定性及び信頼性を向上できて、データパターンの直流レベルの揺らぎを最小値に抑制可能とする。

【構成】 記録媒体に記録するデータをエンコードするエンコード装置において、直流成分を持つパターンを発生する所定変調コードによりコーディングされたデータを PWM データに変換する際に、データフィールド (D F) 内のデータブロック (D B) と相互間に、リシンクパターン (R S P) を有し D F 内でクロックスリップが発生した場合に同期を取るためのリシンクバイト (R S B) を挿入する第 1 の手段と、所定の D B で、PWM データの論理値「1」の個数と論理値「0」の個数の総計の差を表す D S V を計算する第 2 の手段と、該 D S V が最小となるような R S P の R S B を現在の D B に挿入するよう該第 1 の手段を制御する第 3 の手段とを備える。

エンコード/デコードの一実施例を示すブロック図



【特許請求の範囲】

【請求項1】 記録媒体に記録するデータをエンコードするエンコード装置において、
直流成分を持つパターンを発生する所定変調コードによりコーディングされたデータをPWMデータに変換する際に、データフィールド内のデータブロックとデータブロックとの間に、リシンクパターンを有しデータフィールド内でクロックスリップが発生した場合に同期を取るためのリシンクバイトを挿入する第1の手段と、
所定のデータブロックについて、PWMデータの論理値「1」の個数と論理値「0」の個数の総計の差を表すDSVを計算する第2の手段と、
該DSVが最小となるようなリシンクパターンのリシンクバイトを現在のデータブロックに挿入するよう該第1の手段を制御する第3の手段とを備えた、エンコード装置。

【請求項2】 前記第2の回路は、PWMデータの論理値「1」の個数の総計をカウントする第1のカウント手段と、PWMデータの論理値「0」の個数の総計をカウントする第2のカウント手段と、該第1及び第2のカウント手段の出力する総計の差からDSVをリアルタイムで求める加算手段とを含む、請求項1記載のエンコード装置。

【請求項3】 前記所定変調コードはRLL(1, 7)変調コードであり、前記第2の手段は、直前のデータのエンコードが確定する、RLL(1, 7)変調コードに変換されたリシンクバイトの第3ビット目以降で最後から5ビットより以前の所定番目のビットのタイミングでその時点までのDSVをラッチする、請求項2記載のエンコード装置。

【請求項4】 前記加算手段は、ラッチ直後のDSVにリシンクバイト自身の持つDSVを加算する加算部を含む、請求項3記載のエンコード装置。

【請求項5】 前記加算部は、シンクバイトの前記所定番目のビットにおけるPWMデータの極性に依存して加算するリシンクバイトのDSVの極性を決定する、請求項4記載のエンコード装置。

【請求項6】 前記第2のカウント手段のビット反転入力のために加算値が「1」だけ減少することを防ぐために、前記加算手段のキャリイ入力端子に予め「1」をセットしておく、請求項2記載のエンコード装置。

【請求項7】 前記第1のカウント手段は、PWMデータの論理値「1」の個数を第1のリシンクパターンを有するリシンクバイトが挿入された場合についてカウントする第1のカウントと第2のリシンクパターンを有するリシンクバイトが挿入された場合についてカウントする第2のカウントとからなり、前記第2のカウント手段は、PWMデータの論理値「1」の個数を第1のリシンクパターンを有するリシンクバイトが挿入された場合についてカウントする第3のカウントと第2のリシンクパ

ターンを有するリシンクバイトが挿入された場合についてカウントする第4のカウントとからなり、前記加算手段は、該第1及び第3のカウントの計数値の差からDSVを求める第1の加算部と該第2及び第4のカウントの計数値の差からDSVを求める第2の加算部とからなる、請求項2又は6記載のエンコード装置。

【請求項8】 前記加算手段は、前記第1の加算部の出力するDSVと前記第1のリシンクパターンを有するリシンクバイトのDSVとを加算して該第1のリシンクパターンのリシンクバイトを挿入されたPWMデータに対するDSVを出力する第3の加算部と、前記第2の加算部の出力するDSVと前記第2のリシンクパターンを有するリシンクバイトのDSVとを加算して該第2のリシンクパターンのリシンクバイトを挿入されたPWMデータに対するDSVを出力する第4の加算部とを更に備え、該第3及び第4の加算部は夫々桁上がりビットをDSVの極性が正であるか負であるかを示す判定信号として出力する、請求項7記載のエンコード装置。

【請求項9】 前記第3の手段は、前記第3及び第4の加算部の出力するDSV及び判定信号に基づいて絶対値の小さい方のDSVを選択出力する選択手段を備えた、請求項8記載のエンコード装置。

【請求項10】 前記選択手段は、前記第3及び第4の加算部の出力するDSVを夫々DSV1、DSV2とすると、DSV1及びDSV2の絶対値が等しい場合、DSV1=DSV2であると前記第1のリシンクパターンを選択し、DSV1>0、且つ、DSV2<0であると前記第2のリシンクパターンを選択し、DSV1<0、且つ、DSV2>0であると該第1のリシンクパターンを選択する、請求項9記載のエンコード装置。

【請求項11】 前記第3の手段は、前記選択手段より出力される絶対値の小さい方のDSVをリシンクバイトの所定ビット目のタイミングで前記第1～第4のカウントにプリロードするプリロード手段を更に有する、請求項9記載のエンコード装置。

【請求項12】 前記プリロード手段は、前記選択手段が出力するDSVが正の場合にはDSVをそのまま前記第1及び第2のカウントにプリロードし、DSVが負の場合にはDSVを反転して前記第3及び第4のカウントにプリロードする、請求項11記載のエンコード装置。

【請求項13】 前記第1の手段は、少なくとも現在より1データブロック前のデータを一時的に格納する格納手段を備えた、請求項1～12のうちいずれか1項記載のエンコード装置。

【請求項14】 データをエンコードして記録媒体に記録する記憶装置において、
直流成分を持つパターンを発生する所定変調コードによりコーディングされたデータをPWMデータに変換する際に、データフィールド内のデータブロックとデータブロックとの間に、リシンクパターンを有しデータフィー

3

ルド内でクロックスリップが発生した場合に同期を取るためのリシンクバイトを挿入する第1の手段と、所定のデータブロックについて、PWMデータの論理値「1」の個数と論理値「0」の個数の総計の差を表すDSVを計算する第2の手段と、該DSVが最小となるようなリシンクパターンのリシンクバイトを現在のデータブロックに挿入するよう該第1の手段を制御する第3の手段と、該第1の手段で得られたPWMデータを記憶媒体に記録する記録手段とを備えた、記憶装置。

【請求項15】 前記第2の回路は、PWMデータの論理値「1」の個数の総計をカウントする第1のカウント手段と、PWMデータの論理値「0」の個数の総計をカウントする第2のカウント手段と、該第1及び第2のカウント手段の出力する総計の差からDSVをリアルタイムで求める加算手段とを含む、請求項14記載の記憶装置。

【請求項16】 前記所定変調コードはRLL(1, 7)変調コードであり、前記第2の手段は、直前のデータのエンコードが確定する、RLL(1, 7)変調コードに変換されたリシンクバイトの第3ビット目以降で最後から5ビットより以前の所定番目のビットのタイミングでその時点までのDSVをラッチする、請求項15記載の記憶装置。

【請求項17】 前記加算手段は、ラッチ直後のDSVにリシンクバイト自身の持つDSVを加算する加算部を含む、請求項16記載の記憶装置。

【請求項18】 前記加算部は、シンクバイトの前記所定番目のビットにおけるPWMデータの極性に依存して加算するリシンクバイトのDSVの極性を決定する、請求項17記載の記憶装置。

【請求項19】 前記第2のカウント手段のビット反転入力のために加算値が「1」だけ減少することを防ぐために、前記加算手段のキャリイ入力端子に予め「1」をセットしておく、請求項15記載の記憶装置。

【請求項20】 前記第1のカウント手段は、PWMデータの論理値「1」の個数を第1のリシンクパターンを有するリシンクバイトが挿入された場合についてカウントする第1のカウントと第2のリシンクパターンを有するリシンクバイトが挿入された場合についてカウントする第2のカウントとからなり、前記第2のカウント手段は、PWMデータの論理値「1」の個数を第1のリシンクパターンを有するリシンクバイトが挿入された場合についてカウントする第3のカウントと第2のリシンクパターンを有するリシンクバイトが挿入された場合についてカウントする第4のカウントとからなり、前記加算手段は、該第1及び第3のカウントの計数値の差からDSVを求める第1の加算部と該第2及び第4のカウントの計数値の差からDSVを求める第2の加算部とからなり、請求項15又は19記載の記憶装置。

4

【請求項21】 前記加算手段は、前記第1の加算部の出力するDSVと前記第1のリシンクパターンを有するリシンクバイトのDSVとを加算して該第1のリシンクパターンのリシンクバイトを挿入されたPWMデータに対するDSVを出力する第3の加算部と、前記第2の加算部の出力するDSVと前記第2のリシンクパターンを有するリシンクバイトのDSVとを加算して該第2のリシンクパターンのリシンクバイトを挿入されたPWMデータに対するDSVを出力する第4の加算部とを更に備え、該第3及び第4の加算部は夫々桁上がりビットをDSVの極性が正であるか負であるかを示す判定信号として出力する、請求項20記載の記憶装置。

【請求項22】 前記第3の手段は、前記第3及び第4の加算部の出力するDSV及び判定信号に基づいて絶対値の小さい方のDSVを選択出力する選択手段を備えた、請求項21記載の記憶装置。

【請求項23】 前記選択手段は、前記第3及び第4の加算部の出力するDSVを夫々DSV1、DSV2とすると、DSV1及びDSV2の絶対値が等しい場合、DSV1=DSV2であると前記第1のリシンクパターンを選択し、DSV1>0、且つ、DSV2<0であると前記第2のリシンクパターンを選択し、DSV1<0、且つ、DSV2>0であると該第1のリシンクパターンを選択する、請求項22記載の記憶装置。

【請求項24】 前記第3の手段は、前記選択手段より出力される絶対値の小さい方のDSVをリシンクバイトの所定ビット目のタイミングで前記第1～第4のカウントにプリロードするプリロード手段を更に有する、請求項22記載の記憶装置。

【請求項25】 前記プリロード手段は、前記選択手段が出力するDSVが正の場合にはDSVをそのまま前記第1及び第2のカウントにプリロードし、DSVが負の場合にはDSVを反転して前記第3及び第4のカウントにプリロードする、請求項24記載の記憶装置。

【請求項26】 前記第1の手段は、少なくとも現在より1データブロック前のデータを一時的に格納する格納手段を備えた、請求項14～25のうちいずれか1項記載の記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はエンコード装置及び記憶装置に係り、特にマークエッジ記録方式で情報を記録する際に使用するエンコード装置及びこの様なエンコード装置を用いた記憶装置に関する。

【0002】従来の記録方式では、記録媒体に記録するマークの中心部分がデータの値を表している。これに対して、マークエッジ記録方式では、記録媒体に記録するマークのエッジ部分がデータの値を表している。このため、マークエッジ記録方式によれば、より高密度で情報を記録媒体に記録でき、特に光磁気ディスク等の光ディ

スクに適した記録方式として注目されている。

【0003】

【従来の技術】光ディスクにマークエッジ記録方式で情報を記録する場合の規格として、「Data Interchange on 90 mm Optical Disk Cartridges」、ISO/IEC JTC 1/SC 23 N705、1. 23. 06 Draft 2 Dec 1994にて提案されている規格がある。この規格の詳細な説明は省略するが、簡単に説明すると、この規格によれば、光ディスク上の論理トラックのセクタは0から順番に番号が付けられ、セクタレイアウトは図12に示すようになっている。

【0004】図12中、(a)はセクタのプリフォーマットされたヘッダを示し、(b)はユーザバイトが512バイトの場合のセクタフォーマットを示し、(c)はユーザバイトが2048バイトの場合のセクタフォーマットを示す。図12中、SMはセクタの開始位置を示すセクタマーク、VFO1、VFO2、VFO3は夫々VFO同期フィールド、AMはRLL(1, 7)と呼ばれるRLL(Run-Length Limited)コードでは発生しないビットパターンを有するアドレスマーク、ID1、ID2は夫々IDフィールド、PAはポストアンプ、PFHはプリフォーマットされたヘッダ、Gはギャップ、RFは記録フィールド、Sは同期フィールド、DFはデータフィールド、Bはバッファフィールドを示し、各フィールドの下に示す数字はバイト数を表す。

【0005】上記規格で用いられるRLL(1, 7)変調コードは、雑音に影響されにくく、光ディスクから情報を再生する際のデータ検出マージンが大きく取れるので、従来の方式と比較すると有利である。他方、従来の方式では、光ディスクに記録されたデータは微分検出を行うため、論理値「1」の総和と論理値「0」の総和とが極端に異なってもスライスレベルに対する悪影響はない。しかし、マークエッジ記録方式でRLL(2, 7)変調コードをパルス幅変調(PWM)して記録する場合には、データの論理値「1」の総和と論理値「0」の総和とが極端に異なり「1」又は「0」の方向に発散することもあるため、非微分検出のPWM再生回路のスライスレベルに対し、データが変動してしまうという問題があった。

【0006】

【発明が解決しようとする課題】マークエッジ記録方式でRLL(1, 7)変調コードを記録し、データの論理値「1」の総和と論理値「0」の総和とが極端に異なると、1セクタ内において光ディスクからの再生信号の直流成分の平均値が大きすぎたり小さすぎたりしてしまう。この様な場合、再生信号を二値化する際に用いるスライスレベルを設定することが難しくなり、記録データを正確に再生することが困難になってしまうという問題

があった。

【0007】上記規格では、リシンクバイトのパターンを適切に切り替えることにより、セクタ内のデータフィールドにおけるデータパターンの直流レベルの揺らぎ(不安定さ)を極力少なくすることが提案されているものの、具体的な手段については未だ有効な手段が提案されていなかった。

【0008】そこで、本発明は、上記規格に適合し、任意のデータに対して再生信号の直流成分を一定に保つことでデータ再生時のスライスレベルマージンを大きくすることができ、データ再生の安定性及び信頼性を向上することができ、データパターンの直流レベルの揺らぎを最小値に抑えることのできるエンコード装置及び記憶装置を提供することを目的とする。

【0009】

【課題を解決するための手段】上記の課題は、請求項1記載の、記録媒体に記録するデータをエンコードするエンコード装置において、直流成分を持つパターンを発生する所定変調コードによりコーディングされたデータをPWMデータに変換する際に、データフィールド内のデータブロックとデータブロックとの間に、リシンクパターンを有しデータフィールド内でクロックスリップが発生した場合に同期を取るためのリシンクバイトを挿入する第1の手段と、所定のデータブロックについて、PWMデータの論理値「1」の個数と論理値「0」の個数の総計の差を表すDSVを計算する第2の手段と、該DSVが最小となるようなリシンクパターンのリシンクバイトを現在のデータブロックに挿入するよう該第1の手段を制御する第3の手段とを備えたエンコード装置によって達成される。

【0010】請求項2記載の発明では、請求項1記載の発明において、前記第2の回路は、PWMデータの論理値「1」の個数の総計をカウントする第1のカウント手段と、PWMデータの論理値「0」の個数の総計をカウントする第2のカウント手段と、該第1及び第2のカウント手段の出力する総計の差からDSVをリアルタイムで求める加算手段とを含む。

【0011】請求項3記載の発明では、請求項2記載の発明において、前記所定変調コードはRLL(1, 7)変調コードであり、前記第2の手段は、直前のデータのエンコードが確定する、RLL(1, 7)変調コードに変換されたリシンクバイトの第3ビット目以降で最後から5ビットより以前の所定番目のビットのタイミングでその時点までのDSVをラッチする。

【0012】請求項4記載の発明では、請求項3記載の発明において、前記加算手段は、ラッチ直後のDSVにリシンクバイト自身の持つDSVを加算する加算部を含む。請求項5記載の発明では、請求項4記載の発明において、前記加算部は、シンクバイトの前記所定番目のビットにおけるPWMデータの極性に依存して加算するリ

シンクバイトのDSVの極性を決定する。

【0013】請求項6記載の発明では、請求項2記載の発明において、前記第2のカウンタ手段のビット反転入力のために加算値が「1」だけ減少することを防ぐために、前記加算手段のキャリイ入力端子に予め「1」をセットしておく。請求項7記載の発明では、請求項2又は6記載の発明において、前記第1のカウンタ手段は、PWMデータの論理値「1」の個数を第1のリシンクパターンを有するリシンクバイトが挿入された場合についてカウントする第1のカウンタと第2のリシンクパターンを有するリシンクバイトが挿入された場合についてカウントする第2のカウンタとからなり、前記第2のカウンタ手段は、PWMデータの論理値「1」の個数を第1のリシンクパターンを有するリシンクバイトが挿入された場合についてカウントする第3のカウンタと第2のリシンクパターンを有するリシンクバイトが挿入された場合についてカウントする第4のカウンタとからなり、前記加算手段は、該第1及び第3のカウンタの計数値の差からDSVを求める第1の加算部と該第2及び第4のカウンタの計数値の差からDSVを求める第2の加算部とからなる。

【0014】請求項8記載の発明では、請求項7記載の発明において、前記加算手段は、前記第1の加算部の出力するDSVと前記第1のリシンクパターンを有するリシンクバイトのDSVとを加算して該第1のリシンクパターンのリシンクバイトを挿入されたPWMデータに対するDSVを出力する第3の加算部と、前記第2の加算部の出力するDSVと前記第2のリシンクパターンを有するリシンクバイトのDSVとを加算して該第2のリシンクパターンのリシンクバイトを挿入されたPWMデータに対するDSVを出力する第4の加算部とを更に備え、該第3及び第4の加算部は夫々桁上がりビットをDSVの極性が正であるか負であるかを示す判定信号として出力する。

【0015】請求項9記載の発明では、請求項8記載の発明において、前記第3の手段は、前記第3及び第4の加算部の出力するDSV及び判定信号に基づいて絶対値の小さい方のDSVを選択出力する選択手段を備えている。請求項10記載の発明では、請求項9記載の発明において、前記選択手段は、前記第3及び第4の加算部の出力するDSVを夫々DSV1、DSV2とすると、DSV1及びDSV2の絶対値が等しい場合、DSV1=DSV2であると前記第1のリシンクパターンを選択し、DSV1>0、且つ、DSV2<0であると前記第2のリシンクパターンを選択し、DSV1<0、且つ、DSV2>0であると該第1のリシンクパターンを選択する。

【0016】請求項11記載の発明では、請求項9記載の発明において、前記第3の手段は、前記選択手段より出力される絶対値の小さい方のDSVをリシンクバイト

の所定ビット目のタイミングで前記第1～第4のカウンタにプリロードするプリロード手段を更に有する。

【0017】請求項12記載の発明では、請求項11記載の発明において、前記プリロード手段は、前記選択手段が出力するDSVが正の場合にはDSVをそのまま前記第1及び第2のカウンタにプリロードし、DSVが負の場合にはDSVを反転して前記第3及び第4のカウンタにプリロードする。

【0018】請求項13記載の発明では、請求項1～12のうちいずれか1項記載の発明において、前記第1の手段は、少なくとも現在より1データブロック前のデータを一時的に格納する格納手段を備えている。上記の課題は、請求項14記載の、データをエンコードして記録媒体に記録する記憶装置において、直流成分を持つパターンを発生する所定変調コードによりコーディングされたデータをPWMデータに変換する際に、データフィールド内のデータブロックとデータブロックとの間に、リシンクパターンを有しデータフィールド内でクロックスリップが発生した場合に同期を取るためのリシンクバイトを挿入する第1の手段と、所定のデータブロックについて、PWMデータの論理値「1」の個数と論理値

「0」の個数の総計の差を表すDSVを計算する第2の手段と、該DSVが最小となるようなリシンクパターンのリシンクバイトを現在のデータブロックに挿入するよう該第1の手段を制御する第3の手段と、該第1の手段で得られたPWMデータを記録媒体に記録する記録手段とを備えた記憶装置によっても達成される。

【0019】請求項15記載の発明では、請求項14記載の発明において、前記第2の回路は、PWMデータの論理値「1」の個数の総計をカウントする第1のカウンタ手段と、PWMデータの論理値「0」の個数の総計をカウントする第2のカウンタ手段と、該第1及び第2のカウンタ手段の出力する総計の差からDSVをリアルタイムで求める加算手段とを含む。

【0020】請求項16記載の発明では、請求項15記載の発明において、前記所定変調コードはRL(1, 7)変調コードであり、前記第2の手段は、直前のデータのエンコードが確定する、RL(1, 7)変調コードに変換されたリシンクバイトの第3ビット目以降で最後から5ビットより以前の所定番目のビットのタイミングでその時点までのDSVをラッチする。

【0021】請求項17記載の発明では、請求項16記載の発明において、前記加算手段は、ラッチ直後のDSVにリシンクバイト自身の持つDSVを加算する加算部を含む。請求項18記載の発明では、請求項17記載の発明において、前記加算部は、シンクバイトの前記所定番目のビットにおけるPWMデータの極性に依存して加算するリシンクバイトのDSVの極性を決定する。

【0022】請求項19記載の発明では、請求項15記載の発明において、前記第2のカウンタ手段のビット反

転入力のために加算値が「1」だけ減少することを防ぐために、前記加算手段のキャリイ入力端子に予め「1」をセットしておく。請求項20記載の発明では、請求項15又は19記載の発明において、前記第1のカウンタ手段は、PWMデータの論理値「1」の個数を第1のリシンクパターンを有するリシンクバイトが挿入された場合についてカウントする第1のカウンタと第2のリシンクパターンを有するリシンクバイトが挿入された場合についてカウントする第2のカウンタとからなり、前記第2のカウンタ手段は、PWMデータの論理値「1」の個数を第1のリシンクパターンを有するリシンクバイトが挿入された場合についてカウントする第3のカウンタと第2のリシンクパターンを有するリシンクバイトが挿入された場合についてカウントする第4のカウンタとからなり、前記加算手段は、該第1及び第3のカウンタの計数値の差からDSVを求める第1の加算部と該第2及び第4のカウンタの計数値の差からDSVを求める第2の加算部とからなる。

【0023】請求項21記載の発明では、請求項20記載の発明において、前記加算手段は、前記第1の加算部の出力するDSVと前記第1のリシンクパターンを有するリシンクバイトのDSVとを加算して該第1のリシンクパターンのリシンクバイトを挿入されたPWMデータに対するDSVを出力する第3の加算部と、前記第2の加算部の出力するDSVと前記第2のリシンクパターンを有するリシンクバイトのDSVとを加算して該第2のリシンクパターンのリシンクバイトを挿入されたPWMデータに対するDSVを出力する第4の加算部とを更に備え、該第3及び第4の加算部は夫々桁上がりビットをDSVの極性が正であるか負であるかを示す判定信号として出力する。

【0024】請求項22記載の発明では、請求項21記載の発明において、前記第3の手段は、前記第3及び第4の加算部の出力するDSV及び判定信号に基づいて絶対値の小さい方のDSVを選択出力する選択手段を備えている。請求項23記載の発明では、請求項22記載の発明において、前記選択手段は、前記第3及び第4の加算部の出力するDSVを夫々DSV1、DSV2とすると、DSV1及びDSV2の絶対値が等しい場合、 $DSV1 = DSV2$ であると前記第1のリシンクパターンを選択し、 $DSV1 > 0$ 、且つ、 $DSV2 < 0$ であると前記第2のリシンクパターンを選択し、 $DSV1 < 0$ 、且つ、 $DSV2 > 0$ であると該第1のリシンクパターンを選択する。

【0025】請求項24記載の発明では、請求項22記載の発明において、前記第3の手段は、前記選択手段より出力される絶対値の小さい方のDSVをリシンクバイトの所定ビット目のタイミングで前記第1～第4のカウンタにプリロードするプリロード手段を更に有する。

【0026】請求項25記載の発明では、請求項24記

載の発明において、前記プリロード手段は、前記選択手段が出力するDSVが正の場合にはDSVをそのまま前記第1及び第2のカウンタにプリロードし、DSVが負の場合にはDSVを反転して前記第3及び第4のカウンタにプリロードする。

【0027】請求項26記載の発明では、請求項14～25のうちいずれか1項記載の発明において、前記第1の手段は、少なくとも現在より1データブロック前のデータを一時的に格納する格納手段を備えている。

10 【0028】

【作用】請求項1記載の発明によれば、DSVを最小にするようにリシンクバイトのリシンクパターンを選択する際に、DSVをハードウェアにより計算することができる。従って、上記規格に適合し、任意のデータに対して再生信号の直流成分を一定に保つことでデータ再生時のスライスレベルマージンを大きくすることができ、データ再生の安定性及び信頼性を向上することができる、データパターンの直流レベルの揺らぎを最小値に抑えることが可能となる。

20 【0029】請求項2記載の発明によれば、比較的簡単な回路で高速にDSVを計算することができる。請求項3記載の発明によれば、各データブロックの最終バイトの次に付加するリシンクバイトの部分では、RL L

(1, 7)変調コードでコーディングされたリシンクバイトの所定番目のビットの位置で直前のデータのエンコードが確定するので、この時点までのDSVをこの所定番目のビットの位置でラッチすることができる。

30 【0030】請求項4記載の発明によれば、リシンクバイト自身が持つDSVは予め決定しておりリアルタイムで計算する必要もないので、時間の制約が長い加算処理を行うことができる。請求項5記載の発明によれば、判定信号を用いてリシンクバイトのDSVを加算するべきか減算するべきかを判定することができる。

【0031】請求項6記載の発明によれば、加算部のビット反転入力により加算値が「1」だけ減少することを防止できる。請求項7記載の発明によれば、2種類のリシンクパターンについてDSVを独立に同時に計算することができるので、DSVを高速に計算可能である。

40 【0032】請求項8記載の発明によれば、桁上がりビットを用いてDSVの絶対値を容易に求めることが可能となる。請求項9記載の発明によれば、簡単な回路により絶対値の小さい方のDSVを求めることができる。

【0033】請求項10記載の発明によれば、DSVの絶対値が等しくても、選択するべきリシンクパターンを決定できる。請求項11記載の発明によれば、適切なタイミングで小さい方のDSVをカウンタへプリロードできる。

50 【0034】請求項12記載の発明によれば、正しいPWMデータが得られるようにカウンタへのプリロードを行うことができる。請求項13記載の発明によれば、記

録媒体への書き込みが開始されるまでの間に1データブロック前のDSVを計算して現在の1データブロックのDSVを最小とするリシンクバイトのリシンクパターンを決定することができる。

【0035】請求項14記載の発明によれば、DSVを最小にするようにリシンクバイトのリシンクパターンを選択する際に、DSVをハードウェアにより計算することができる。従って、上記規格に適合し、任意のデータに対して再生信号の直流成分を一定に保つことでデータ再生時のスライスレベルマージンを大きくすることができ、データ再生の安定性及び信頼性を向上することができ、データパターンの直流レベルの揺らぎを最小値に抑えることが可能となる。

【0036】請求項15記載の発明によれば、比較的簡単な回路で高速にDSVを計算することができる。請求項16記載の発明によれば、各データブロックの最終バイトの次に付加するリシンクバイトの部分では、RL L (1, 7) 変調コードでコーディングされたリシンクバイトの所定番目のビットの位置で直前のデータのエンコードが確定するので、この時点までのDSVをこの所定番目のビットの位置でラッチすることができる。

【0037】請求項17記載の発明によれば、リシンクバイト自身が持つDSVは予め決定しておりリアルタイムで計算する必要もないので、時間の制約が長い加算処理を行うことができる。請求項18記載の発明によれば、判定信号を用いてリシンクバイトのDSVを加算するべきか減算するべきかを判定することができる。

【0038】請求項19記載の発明によれば、加算部のビット反転入力により加算値が「1」だけ減少することを防止できる。請求項20記載の発明によれば、2種類のリシンクパターンについてDSVを独立に同時に計算することができるので、DSVを高速に計算可能である。

【0039】請求項21記載の発明によれば、桁上がりビットを用いてDSVの絶対値を容易に求めることが可能となる。請求項22記載の発明によれば、簡単な回路により絶対値の小さい方のDSVを求めることができる。

*

RSA:

0X0 100 000 001 000 000 100 00Y

RSB:

0X0 100 000 001 000 000 101 00Y

光ディスク上のフォーマットされた領域に全てのデータを記録するのに使用されるRL L (1, 7) 変調コードは、図1に示すように定義される。図1は入力ビットがチャンネルビットに変換される様子を示し、同図中、「not 00」は「01」、「10」又は「11」であることを示し、「X」は値が「0」又は「1」であることを示す。RL L (1, 7) 変調コーディング(符号化)は、変換するべきフィールドの最初のバイトの最初のビ

*【0040】請求項23記載の発明によれば、DSVの絶対値が等しくても、選択すべきリシンクパターンを決定できる。請求項24記載の発明によれば、適切なタイミングで小さい方のDSVをカウンタへプリロードできる。

【0041】請求項25記載の発明によれば、正しいPWMデータが得られるようにカウンタへのプリロードを行うことができる。請求項26記載の発明によれば、光ディスクへの書き込みが開始されるまでの間に1データブロック前のDSVを計算して現在の1データブロックのDSVを最小とするリシンクバイトのリシンクパターンを決定することができる。

【0042】従って、本発明によれば、上記規格に適合し、任意のデータに対して再生信号の直流成分を一定に保つことでデータ再生時のスライスレベルマージンを大きくすることができ、データ再生の安定性及び信頼性を向上することができ、データパターンの直流レベルの揺らぎを最小値に抑えることが可能となる。

【0043】

【実施例】上記規格によれば、データフィールドDFはユーザが自由にデータを書き込めるユーザデータバイトと、誤り検出に使用されるCRC (Cyclic Redundancy Check) コードが書かれるCRCバイトと、誤り訂正に使用されるECC (Error Correction Code) コードが書かれるECCバイトと、リシンクバイトとからなる。リシンクバイトは、データフィールドDF内で大きな欠陥等によるクロックスリップが発生した場合に同期を取り直してユーザデータ内で誤りが広がることを防止するために設けられている。リシンクバイトは、2バイト分のチャンネルビットからなる次のいずれかのリシンクパターンを有し、X及びYは直前又は直後のデータパターンに基づいて「0」又は「1」に設定される。これらのリシンクバイトのパターンは、RL L (1, 7) 変調コードでは発生しない2種類のパターンRSA, RSBとなっている。

【0044】

ットから開始され、リシンク領域の後は、コーディングがリシンクバイトの最後の2つの入力ビットから再開される。

【0045】データフィールドDF内での記録は、図2及び図3に示す順序で行われる。図2は、セクタが512バイトからなりECCが5インターリーブを用いる場合を示し、図3は、セクタが2048バイトからなりECCが20インターリーブを用いる場合を示す。図2及

び図3中、記録は左から右へ、且つ、上から下へ行われる。又、SBはシンクバイト、Dはユーザバイト、RSはリシンクバイト、CはCRC用のチェックバイト、EはECC用のチェックバイト、FmはFFバイトを示す。

【0046】従って、図2の場合には、最初の104行が列0~4にユーザバイト、4つのFFバイト及び4つのCRC用のチェックバイトを含み、次の16行はECC用のチェックバイトのみを含む。又、図3の場合には、最初の103行が列0~19にユーザバイト、8つのFFバイト及び4つのCRC用のチェックバイトを含み、次の16行はECC用のチェックバイトのみを含む。

【0047】ところで、上記規格によれば、セクタ内のデータフィールドにおけるデータパターンの直流レベルの揺らぎを極力少なくするために、リシンクバイトのパターン中、「1」の総数は奇数から偶数又は偶数から奇数に切替可能である。つまり、上記2種類のリシンクバイトのパターンRSA、RSBのうち、直流レベルの揺らぎを最小値に抑えることのできるパターンが選択される。

【0048】どちらのパターンのリシンクバイトを使用するかは、次のように決定される。まず、PPM (Pulse Position Modulation) データで表されるチャネルビットを、処理を簡単にするためにPWMデータに変換する。例えば、PPMデータが「... 0010100010010...」であれば、「... 0011000011100...」なるPWMデータに変換される。次に、PWMデータの論理値「0」を「-1」とみなし、論理値「1」を「+1」とみなして、PWMデータの論理値「1」の個数と論理値「0」の個数との総計の差であるDSV (Digital Sum Value) を計算する。図4は、上記例におけるPPMデータ及びPWMデータと光ディスク上に記録されるマークとの関係を示す図であり、この場合のDSVmはDSVm = (+5 - 4 + 8 - 5...) から計算される。光ディスクへの記録時に、このDSVmが最小であればデータパターンの直流レベルの揺らぎが最小値に抑えられる。

【0049】リシンク領域は、2つの部分(RS || INV)に分割され、これらの分割部分はPPMデータで次の式により定義される。

RS = 0X010000000100000010
INV = 00Y (INV1) 又は 100Y (INV2)
又、ユーザデータは、m = 1 ~ N、1024バイトのセクタの場合のNをN = 39、512バイトのセクタの場合のNをN = 30とすると、次の式で定義される。

【0050】VFO3 || SYNC || B0 || RS1 || INV1 (又はINV2) || B1 || RS2 || ... || INV1 (又はINV2) || Bm || RSm+1 || ... || IN

V1 (又はINV2) || BN

関数DSV(z)は、PPMデータ列である引き数

(z)が、引き数(z)のデータの直前のPWMデータの最後のPWM状態に基づいたPWMデータの和となるように定義される。

【0051】又、INV1又はINV2は、以下のアルゴリズムを用いてmステップで選択される。

P0 = DSV (VFO3 || SYNC || B0 || RS1)

Pm = Pm-1 + DSV (INV1 || Bm || RSm+1)

又は Pm = Pm-1 + DSV (INV2 || Bm || RSm+1)

|Pm|が最小となるようにINV1又はINV2を選択

PN = PN-1 + DSV (INV1 || BN)

又は PN = PN-1 + DSV (INV2 || BN)

|PN|が最小となるようにINV1又はINV2を選択

上記のアルゴリズムに従った処理は、1024バイトのセクタの場合のNをN = 39、512バイトのセクタの場合のNをN = 30とすると、m = 1 ~ Nについて繰り返される。|Pm|がどちらのリシンクパターンRSA、RSBでも同じ値となれば、上記リシンクパターンRSA、RSBのうち最初の方のパターンRSAが選択される。上記の如く、RL(1, 7)変調コードをPWMデータに変換する際に、データブロックとデータブロックとの間のリシンクバイトのリシンクパターンに含まれる「1」の個数によって、後続のデータブロックにおけるPWMデータの「1」の部分と「0」の部分とが反転する。従って、上記規格では、この性質を利用してセクタ内のデータフィールドにおけるデータパターンの直流レベルの揺らぎを極力少なくすることができる。

【0052】つまり、例えばNRZデータで「596」の繰り返しパターン、即ち、RL(1, 7)変調コードで1T/6Tパターンの繰り返しである「... 0101000000101000000101000000101000000101000000...」のようなパターンの場合、リシンクバイト部分でPWMデータを反転させることでデータパターンの直流レベルの揺らぎを効果的に抑制することができる。

【0053】上記の如きDSVの計算を、ソフトウェアにより行うことが考えられる。しかし、ソフトウェアにより計算を行う場合には、特定のセクタの前のセクタにおいてDSVの計算を終了しておく必要があり、計算を行うマイクロプロセッサ(MPU)等の負荷が大きく、ソフトウェアの計算速度を考慮するとDSVの計算をリアルタイムに行うことは難しい。又、MPU等がDSVの計算を行っている間は、MPU等に他の処理を行わせることはできず、他の処理が待ち状態となってしまう。このため、DSVの計算をソフトウェアで行うことは、

あまり現実的ではない。

【0054】そこで、本発明では、DSVの計算をハードウェアにより行うことで、DSVの計算をリアルタイムに行うことを可能とする。又、このハードウェアによるDSVの計算結果を用いて、DSVが最小となるようなリシンクパターンを選択して生成し、光ディスクに記録するデータに挿入することにより、データ再生時の安定性及び信頼性を向上する。

【0055】図5は、本発明になる記憶装置の一実施例の概略構成を示すブロック図である。本実施例では、本発明が光ディスク装置に適用されている。同図中、光ディスク装置は、SCSiプロトコルコントローラ（SPC）1、データバッファ2、フォーマッタ（FMT）3、MPU4、ECCプロセッサ（ECCP）5、エンコーダ／デコーダ6、レーザダイオード（LD）制御部7、LD8a及びフォトダイオード（PD）8bを有する光学ヘッド8、光ディスク10を回転させるスピンドルモータ9、リードアンプ12、VFO（PLL）13、14及び制御回路15からなる。

【0056】SPC1はSCSiインタフェースを介してパーソナルコンピュータやワークステーション等のホスト装置（図示せず）に接続されており、SCSiプロトコルを制御する。SPC1は、ホスト装置からのデータをデータバッファ2へ転送したり、データバッファ2からのデータをホスト装置へ転送したりする。MPU4は、SPC1からのコマンドを解析してデータの転送を指示すると共に、光学ヘッド8が光ディスク10上の所望の記録位置を走査するように、制御回路15を介して光ディスク装置のヘッド駆動部（図示せず）やスピンドルモータ駆動部（図示せず）等の各種駆動部を制御する。又、MPU4は、データバッファ2内の光ディスク10上に記録すべきデータを送出するようにFMT3を制御する。ECCP5は、光ディスク10上に記録すべきデータにECCコードを付加する。

【0057】エンコーダ／デコーダ6は、ECCP5を介して得られるデータをエンコード（符号化）し、LD制御部7を介して光学ヘッド8のLD8aに供給されるLD電流を制御する。エンコードには2つの段階があり、先ずデータがRLL（1，7）変調コードにエンコードされ、次にRLL（1，7）変調コードがPWMデータにエンコード（変換）される。LD8aから出射されるレーザビームは、光ディスク10上に照射されてデータを表すマークとして記録される。

【0058】他方、光学ヘッド8のPD8bが光ディスク10から受光したレーザビームは、電流に変換され、リードアンプ12により増幅されて二値信号に変換されてからVFO13，14に供給される。VFO13，14からの再生データは、エンコーダ／デコーダ6によりデコード（復号化）される。

【0059】本発明になる光ディスク装置は、図5中、

エンコーダ／デコーダ6に特徴があるものであり、その他の部分には例えば公知の回路等を用いることが可能である。例えば、SPC1、FMT3及びECCP5からなる部分は、MB86506なる半導体チップで実現可能であり、MPU4は68302なる半導体チップで実現可能である。

【0060】図6は、エンコーダ／デコーダ6の一実施例を示すブロック図である。同図中、半導体チップ20は、図5に示すSPC1、FMT3及びECCP5からなる半導体チップ（フォーマッタECCP）MB86506である。エンコーダ／デコーダ6のエンコーダ部分は、VFOレジスタ21、シンクバイトレジスタ22、RAM等のデータバッファ23、マルチプレクサ24、エンコーダ25、パラレル・シリアル（P/S）変換器26、エンコーダ27、リシンクパターン生成部28、リシンクパターン挿入部29、DSV計算回路30、ライトシーケンスカウンタ31、マルチプレクサ32及びパルス列生成部33からなる。上記エンコーダ／デコーダ6のエンコーダ部分は、本発明になるエンコード装置の一実施例に対応する。

【0061】ライトシーケンスカウンタ31は、チャネルビットクロックやバイトクロック等のクロック信号に基づいて各種タイミング信号を生成して、エンコーダ／デコーダ6内の各部の動作タイミングを制御する。1チャネルビットクロックは、RLL（1，7）変調コードのデータの1ビットに対応する。又、バイトクロックは、本実施例ではチャネルビットクロックを12分周したクロックである。

【0062】VFOレジスタ21はVFO同期フィールドに書き込まれるVFOパターンを格納し、シンクバイトレジスタ22は同期フィールドに書き込まれるシンクバイトを格納する。データバッファ23はP/S変換器26を介して得られる半導体チップ20からの20～32バイトのデータ、即ち、少なくとも1データブロック分のデータを格納する。現在のデータブロックのDSVは、上記の如く前のデータブロックのリシンクバイトを用いて予め計算しておく必要があるため、本実施例ではデータをエンコーダ27に供給する1データブロック前にデータがデータバッファ23に供給され、1データブロック遅らせてから、つまり、DSVの計算結果がDSV計算回路30から得られてからデータをデータバッファ23から読み出す。データバッファ23からのデータの読み出しタイミングは、ライトシーケンスカウンタ31からのリードタイミング信号に基づいて制御される。VFOレジスタ21からのVFOパターンと、シンクバイトレジスタ22からのシンクバイトと、データバッファ23からのデータは、マルチプレクサ24により多重化され、エンコーダ25によりRLL（1，7）変調コードにエンコードされる。この際、エンコーダ25は、後述するDSV計算回路30から得られるDSVを最小

17

とするリシンクパターンを、ライトシーケンスカウンタ31からの挿入タイミング信号に基づいたタイミングで挿入する。エンコーダ25から出力されるRLL(1, 7)変調コードは、後述するマルチプレクサ32へ供給される。

【0063】尚、本実施例におけるデータバッファ23のバイト数は、図5に示すMPU4から任意に変更可能である。エンコーダ25に供給されるリシンクパターンRSA又はRSBは、リシンクパターン生成部28からリシンクパターン挿入部29及びDSV計算回路30を介して供給しても、シンクバイトレジスタ22にリシンクパターンRSA、RSBを格納しておいてマルチプレクサ24を介して供給する方法を取っても良い。

【0064】他方、P/S変換器26からのデータは、エンコーダ27によりRLL(1, 7)変調コードにエンコードされ、リシンクパターン挿入部29へ供給される。リシンクパターン生成部28は、ライトシーケンスカウンタ31からのタイミング信号に基づいて上記2種類のリシンクパターンRSA、RSBを生成し、リシンクパターン挿入部29へ供給する。リシンクパターン挿入部29は、リシンクパターンRSA、RSBをRLL(1, 7)変調コードに挿入し、DSV計算回路30はリシンクパターン挿入部29からのRLL(1, 7)変調コードに基づいて、ライトシーケンスカウンタ31からのタイミング信号にตอบสนองしてDSVを各リシンクパターンRSA、RSBについて計算する。又、DSV計算回路30は、DSVが最小となる方のリシンクパターンを上記エンコーダ25に供給する。

【0065】マルチプレクサ32には、エンコーダ24からのRLL(1, 7)変調コード及びIDフォーマッタ(図示せず)からのフォーマットコードが供給される。パルス列生成部33は、RLL(1, 7)モードの他に、例えばRLL(2, 7)モード、イレーズ(消去)モード及びIDフォーマットモードを有する。RLL(1, 7)モードの場合、パルス列生成部33は、記録の先頭部分では3T/2幅のライトパルスをLD8aのライトパワーPw1に対応するレベルで出力し、記録の終了部分では1T幅だけLD8aのライトパワーを0にする。又、2T以上のライトデータに対しては、T/2幅でLD8aのライトパワーPw2に対応するレベルのパルス列を追加する。尚、パルス列生成部33の他のモードは本発明とは直接関係がないので、これらの他のモードの説明は省略する。

【0066】図7は、光ディスク10上に記録されるパターンが最密(1T)パターンである場合のチャネルビットクロック17WCCと、データ列17WDTと、光ディスク10上のマークのドメインと、パルス列生成部33の出力レベルとの関係を示す図である。この場合、ライトパルスの後半に付加されるパルス列は存在せず、ライトパワーはPa及びPw1のみに左右される。

18

【0067】図8は、光ディスク10上に記録されるパターンが2Tパターンである場合のチャネルビットクロック17WCCと、データ列17WDTと、光ディスク10上のマークのドメインと、パルス列生成部33の出力レベルとの関係を示す図である。この場合、ライトパルスの後半に付加されるパルス列は存在せず、ライトパワーはPa、Pw1及びPw2に左右される。

【0068】図9は、光ディスク10上に記録されるパターンがRLL(1, 7)変調コードの最粗(7T)パターンである場合のチャネルビットクロック17WCCと、データ列17WDTと、光ディスク10上のマークのドメインと、パルス列生成部33の出力レベルとの関係を示す図である。この場合、ライトパルスの後半に付加されるパルス列が存在し、ライトパワーはPa、Pw1及びPw2に左右される。

【0069】図10は、DSV計算回路30の一実施例を示すブロック図である。同図中、DSV計算回路30は、入力部41、カウント部42、DSV計算部43、DSV選択部44及びプリロード部45からなる。図11は、図10に示すDSV計算回路30の構成をより詳細に示すブロック図である。図11中、入力部41は、JKフリップフロップ411、412からなる。カウント部42は、カウンタ421~424とDフリップフロップ425~428とからなる。DSV計算部43は、加算器431~434からなる。DSV選択部44は、絶対値回路441、442と、比較器443と、マルチプレクサ444とからなる。又、プリロード部45は、プリロード回路451からなる。

【0070】尚、リシンクパターン挿入部29は、マルチプレクサ291、292からなる。マルチプレクサ291には、図6に示すエンコーダ27からのRLL(1, 7)変調コードとリシンクパターン生成部28からの一方のリシンクパターンRSAが供給される。マルチプレクサ292には、エンコーダ27からのRLL(1, 7)変調コードとリシンクパターン生成部28からの他方のリシンクパターンRSBが供給される。

【0071】従って、入力部41のJKフリップフロップ411のJ入力端子及びK入力端子には、RLL(1, 7)変調コードに変換されたデータ列17WDTが入力され、クロック入力端子にはチャネルビットクロック17WCCが入力される。同様に、JKフリップフロップ412のJ入力端子及びK入力端子には、RLL(1, 7)変調コードに変換されたデータ列17WDTが入力され、クロック入力端子にはチャネルビットクロック17WCCが入力される。これにより、入力部41は、データ列17WDTをチャネルビットクロック17WCCでラッチしてデータの同期を取る。次に、JKフリップフロップ411、412でチャネルビットクロック17WCCをトグルさせて、マークエッジ記録のためのPWMデータ(ライトパルス)を生成する。PWMデ

ータは、カウント部 4 2 の各カウンタ 4 2 1 ~ 4 2 4 のイネーブル入力端子 EN に入力されるが、カウンタ 4 2 2, 4 2 4 については PWM データが反転されてからイネーブル入力端子 EN に入力される。

【0072】尚、図 1 1 中、入力部 4 1、カウント部 4 2、DSV 計算部 4 3 及びプリロード部 4 5 の大略上半分がリシンクパターン RSA を挿入する回路部分であり、下半分がリシンクパターン RSB を挿入する回路部分である。入力部 4 1 からの PWM データは、カウント部 4 2 の各カウンタ 4 2 1 ~ 4 2 4 のイネーブル入力端子 EN に入力されるが、カウンタ 4 2 2, 4 2 4 については PWM データが反転されてからイネーブル入力端子 EN に入力される。又、カウンタ 4 2 1 ~ 4 2 4 のロード入力端子 LD には、図 6 に示すライトシーケンスカウンタ 3 1 からのプリロードパルス CC 3 F が反転して入力される。更に、カウンタ 4 2 1 ~ 4 2 4 のロード値入力端子には、後述するプリロード部 4 5 からのロード値が入力される。

【0073】カウント部 4 2 は、PWM データの「1」の部分と「0」の部分とを独立にカウントする。つまり、カウンタ 4 2 1 は PWM データの「1」の部分のカウントし、カウンタ 4 2 2 は PWM データの「0」の部分のカウントして、夫々の部分の長さを計測する。同様に、カウンタ 4 2 3 は PWM データの「1」の部分のカウントし、カウンタ 4 2 4 は PWM データの「0」の部分のカウントして、夫々の部分の長さを計測する。カウンタ 4 2 1 ~ 4 2 4 の出力は対応するフリップフロップ 4 2 5 ~ 5 2 8 へ入力され、例えばリシンクバイトの第 3 ビット目でアクティブとなるラッチクロック LTH によりラッチされる。これにより、ここまでの DSV を保存することができる。

【0074】尚、ラッチクロック LTH は、ライトシーケンスカウンタ 3 1 から供給されるが、アクティブとなるタイミングはリシンクバイトの第 3 ビット目以降で、且つ、リシンクバイトの最終ビットより 5 ビット以前であれば良い。このように、DSV をラッチするタイミングを、図 6 に示すエンコーダ 2 7 で値が確定した後のできるだけ早い時期又は直後に設定することで、DSV 計算を開始するタイミングを最大限早くすることが可能となり、DSV 計算のための時間を確実に確保することができる。

【0075】フリップフロップ 4 2 5 の出力及びフリップフロップ 4 2 6 の反転出力は、夫々 DSV 計算部 4 3 の加算器 4 3 1 に入力される。これにより、ラッチされた PWM データの「1」の部分と「0」の部分との差である DSV が計算される。又、フリップフロップ 4 2 7 の出力及びフリップフロップ 4 2 8 の反転出力は、夫々 DSV 計算部 4 3 の加算器 4 3 2 に入力される。従って、ラッチされた PWM データの「1」の部分と「0」の部分との差である DSV が計算される。

【0076】尚、本実施例では、加算器 4 3 1, 4 3 2 のキャリイ入力端子 CY に「1」を入力することで、カウント部 4 2 のカウンタ 4 2 2, 4 2 4 のビット反転入力のために加算値が「1」だけ減少してしまう加算時の誤差を補正している。又、リシンクパターン RSA を有するリシンクバイトの第 2 1 ビット目に「1」を挿入すればリシンクパターン RSB が生成できるので、リシンクパターン RSA, RSB を有するリシンクバイトの第 2 0 ビット目までの DSV は同じである。このため、ここまでのリシンクパターンの持つ DSV が 2 系統とも同じであることを利用し、最初はプリロードパルス CC 3 F がカウンタ 4 2 1 ~ 4 2 4 のロード入力端子 LD に入力されるが、その後はプリロード部 4 5 からのロード値を入力することにより、その DSV をラッチした直後に加算器 4 3 1, 4 3 2 で加算する。

【0077】加算器 4 3 1 が出力する DSV は、加算器 4 3 3 にてリシンクパターン RSA の DSV と加算される。同様に、加算器 4 3 2 が出力する DSV は、加算器 4 3 4 にてリシンクパターン RSB の DSV と加算される。リシンクパターン RSA, RSB の DSV は夫々 ± 3 であり、リシンクパターン RSA, RSB の DSV は、予め DSV をカウント部 4 2 においてラッチする前の PWM データの状態に応じて選択される。本実施例では、リシンクバイトの第 3 ビット目でラッチされた PWM データが正であれば、リシンクパターン RSA, RSB の DSV は正である。これにより、加算器 4 3 3 からはリシンクパターン RSA が挿入された PWM データに対する DSV が出力され、加算器 4 3 4 からはリシンクパターン RSB が挿入された PWM データに対する DSV が出力される。

【0078】尚、加算器 4 3 3, 4 3 4 の桁上がりビットは、DSV が正であるか負であるかを判定するためのビットとして使用される。例えば、桁上がりビットが「1」の場合には、加算器 4 3 3, 4 3 4 の出力する DSV が正であることを示す。加算器 4 3 3, 4 3 4 の出力する DSV は、DSV 選択部 4 4 内の対応する絶対値回路 4 4 1, 4 4 2 に入力される。加算器 4 3 3, 4 3 4 の桁上がりビットに基づいて絶対値回路 4 4 1, 4 4 2 が出力する DSV の絶対値は、比較器 4 4 3 に入力される。比較器 4 4 3 は、絶対値の小さい方の DSV が選択されるように、リシンクパターン RSA 又は RSB を選択する選択信号を出力する。この選択信号は、マルチプレクサ 4 4 4 に入力され、加算器 4 3 3, 4 3 4 から出力される DSV のうち小さい方の DSV を出力させる。この選択信号は、図 6 に示すエンコーダ 2 5 にも入力される。マルチプレクサ 4 4 4 の出力する DSV は、プリロード部 4 5 のプリロード回路 4 5 1 に入力される。

【0079】尚、比較器 4 4 3 は、絶対値回路 4 4 1, 4 4 2 の出力する DSV の絶対値が等しい場合には、加

算器 433, 434 の出力する DSV を夫々 DSV1, DSV2 とすると、以下の規則に従ってリシンクパターン RSA 又は RSB を選択する。つまり、 $DSV1 = DSV2$ であるとリシンクパターン RSA を選択し、 $DSV1 > 0$ 、且つ、 $DSV2 < 0$ であるとリシンクパターン RSB を選択し、 $DSV1 < 0$ 、且つ、 $DSV2 > 0$ であるとリシンクパターン RSA を選択する。

【0080】プリロード部 45 において、プリロード回路 451 は、DSV 選択部 44 のマルチプレクサ 444 の出力する DSV が $DSV \geq 0$ であればその DSV をそのままロード値としてカウンタ部 42 のカウンタ 421, 423 へ入力する。他方、DSV 選択部 44 のマルチプレクサ 444 の出力する DSV が $DSV < 0$ であればその DSV を反転してからロード値としてカウンタ部 42 のカウンタ 422, 424 へ入力する。

【0081】ところで、DSV 選択部 44 のマルチプレクサ 444 により選択された絶対値の小さい方の DSV は、次の計算が行われる前にカウンタ部 42 のカウンタ 421~424 にロード値としてプリロードしておく必要がある。そこで、本実施例では、リシンクバイトの第 20 ビット目でプリロードパルス CCF に基づいてプリロード回路 451 からのロード値をカウンタ 421~424 にプリロードする。又、カウンタ部 42 内のカウンタ 421~424 へのデータのロードは、先ず最初に同期フィールド VFO 及びシンクバイト SB の DSV を予め第 1 番目のデータブロックの DSV を計算する前に行うことが好ましい。この場合、予め計算した同期フィールド VFO 及びシンクバイト SB の DSV をレジスタ（図示せず）に格納しておき、DSV の計算が開始される前に読み出してカウンタ 421~424 へロードする。

【0082】尚、DSV 選択部 44 で選択されなかった DSV を処理する側の回路系（図 11 中、上又は下側）において、リシンクバイトを挿入された PWM データは、他方の側の回路系における PWM データと比較すると、リシンクバイトの第 20 ビット目以降で極性が逆となっている。そこで、PWM データの極性をリシンクバイトのどこかで反転しておく必要がある。本実施例では、リシンクバイトの第 14 ビット目から第 17 ビット目の間で、DSV 選択部 44 で選択されなかった DSV を処理する側の回路系における PWM データの極性を反転する構成を用いる。

【0083】更に、上記実施例では、RL (1, 7) 変調コードが用いられているが、本発明はこれに限定されるものではなく、直流成分を持つパターンを発生する変調コードについても同様の効果を得ることが可能である。以上、本発明を実施例により説明したが、本発明はこれらの実施例に限定されるものではなく、種々の変形及び改良が可能であることは言うまでもない。

【0084】

【発明の効果】請求項 1 記載の発明によれば、DSV を最小にするようにリシンクバイトのリシンクパターンを選択する際に、DSV をハードウェアにより計算することができる。従って、上記規格に適合し、任意のデータに対して再生信号の直流成分を一定に保つことでデータ再生時のスライスレベルマージンを大きくすることができ、データ再生の安定性及び信頼性を向上することができ、データパターンの直流レベルの揺らぎを最小値に抑えることが可能となる。

10 【0085】請求項 2 記載の発明によれば、比較的簡単な回路で高速に DSV を計算することができる。請求項 3 記載の発明によれば、各データブロックの最終バイトの次に付加するリシンクバイトの部分では、RL (1, 7) 変調コードでコーディングされたリシンクバイトの所定番目のビットの位置で直前のデータのエンコードが確定するので、この時点までの DSV をこの所定番目のビットの位置でラッチすることができる。

（1, 7）変調コードでコーディングされたリシンクバイトの所定番目のビットの位置で直前のデータのエンコードが確定するので、この時点までの DSV をこの所定番目のビットの位置でラッチすることができる。

20 【0086】請求項 4 記載の発明によれば、リシンクバイト自身が持つ DSV は予め決定しておりリアルタイムで計算する必要もないので、時間の制約が長い加算処理を行うことができる。請求項 5 記載の発明によれば、判定信号を用いてリシンクバイトの DSV を加算するべきか減算するべきかを判定することができる。

【0087】請求項 6 記載の発明によれば、加算部のビット反転入力により加算値が「1」だけ減少することを防止できる。請求項 7 記載の発明によれば、2 種類のリシンクパターンについて DSV を独立に同時に計算することができるので、DSV を高速に計算可能である。

30 【0088】請求項 8 記載の発明によれば、桁上がりビットを用いて DSV の絶対値を容易に求めることが可能となる。請求項 9 記載の発明によれば、簡単な回路により絶対値の小さい方の DSV を求めることができる。

【0089】請求項 10 記載の発明によれば、DSV の絶対値が等しくても、選択するべきリシンクパターンを決定できる。請求項 11 記載の発明によれば、適切なタイミングで小さい方の DSV をカウンタへプリロードできる。

40 【0090】請求項 12 記載の発明によれば、正しい PWM データが得られるようにカウンタへのプリロードを行うことができる。請求項 13 記載の発明によれば、記録媒体への書き込みが開始されるまでの間に 1 データブロック前の DSV を計算して現在の 1 データブロックの DSV を最小とするリシンクバイトのリシンクパターンを決定することができる。

50 【0091】請求項 14 記載の発明によれば、DSV を最小にするようにリシンクバイトのリシンクパターンを選択する際に、DSV をハードウェアにより計算することができる。従って、上記規格に適合し、任意のデータに対して再生信号の直流成分を一定に保つことでデータ再生時のスライスレベルマージンを大きくすることが

き、データ再生の安定性及び信頼性を向上することができ、データパターンの直流レベルの揺らぎを最小値に抑えることが可能となる。

【0092】請求項15記載の発明によれば、比較的簡単な回路で高速にDSVを計算することができる。請求項16記載の発明によれば、各データブロックの最終バイトの次に付加するリシンクバイトの部分では、RLL(1, 7)変調コードでコーディングされたリシンクバイトの所定番目のビットの位置で直前のデータのエンコードが確定するので、この時点までのDSVをこの所定番目のビットの位置でラッチすることができる。

【0093】請求項17記載の発明によれば、リシンクバイト自身が持つDSVは予め決定しておりリアルタイムで計算する必要もないので、時間の制約が長い加算処理を行うことができる。請求項18記載の発明によれば、判定信号を用いてリシンクバイトのDSVを加算するべきか減算するべきかを判定することができる。

【0094】請求項19記載の発明によれば、加算部のビット反転入力により加算値が「1」だけ減少することを防止できる。請求項20記載の発明によれば、2種類のリシンクパターンについてDSVを独立に同時に計算することができるので、DSVを高速に計算可能である。

【0095】請求項21記載の発明によれば、桁上がりビットを用いてDSVの絶対値を容易に求めることが可能となる。請求項22記載の発明によれば、簡単な回路により絶対値の小さい方のDSVを求めることができる。

【0096】請求項23記載の発明によれば、DSVの絶対値が等しくても、選択するべきリシンクパターンを決定できる。請求項24記載の発明によれば、適切なタイミングで小さい方のDSVをカウンタへプリロードできる。

【0097】請求項25記載の発明によれば、正しいPWMデータが得られるようにカウンタへのプリロードを行うことができる。請求項26記載の発明によれば、光ディスクへの書き込みが開始されるまでの間に1データブロック前のDSVを計算して現在の1データブロックのDSVを最小とするリシンクバイトのリシンクパターンを決定することができる。

【0098】従って、本発明によれば、上記規格に適合し、任意のデータに対して再生信号の直流成分を一定に保つことでデータ再生時のスライスレベルマージンを大きくすることができ、データ再生の安定性及び信頼性を向上することができ、データパターンの直流レベルの揺らぎを最小値に抑えることが可能となる。

【図面の簡単な説明】

【図1】入力ビットがチャンネルビットに変換される様子を示す図である。

【図2】セクタが512バイトからなりECCが5イン

ターリーブを用いる場合のデータフィールドDF内での記録順序を示す図である。

【図3】セクタが2048バイトからなりECCが20インターリーブを用いる場合のデータフィールドDF内での記録順序を示す図である。

【図4】PPMデータ及びPWMデータと光ディスク上に記録されるマークとの関係を示す図である。

【図5】本発明になる記憶装置の一実施例の概略構成を示すブロック図である。

【図6】エンコーダ/デコーダの一実施例を示すブロック図である。

【図7】光ディスク上に記録されるパターンが最密(1T)パターンである場合のチャンネルビットクロック17WCCと、データ列17WDTと、光ディスク上のマークのドメインと、パルス列生成部の出力レベルとの関係を示す図である。

【図8】光ディスク上に記録されるパターンが2Tパターンである場合のチャンネルビットクロック17WCCと、データ列17WDTと、光ディスク上のマークのドメインと、パルス列生成部の出力レベルとの関係を示す図である。

【図9】光ディスク上に記録されるパターンがRLL(1, 7)変調コードの最粗(7T)パターンである場合のチャンネルビットクロック17WCCと、データ列17WDTと、光ディスク上のマークのドメインと、パルス列生成部の出力レベルとの関係を示す図である。

【図10】DSV計算回路の一実施例を示すブロック図である。

【図11】図10に示すDSV計算回路の構成をより詳細に示すブロック図である。

【図12】提案されている規格のセクタレイアウトを説明する図である。

【符号の説明】

1	SPC
2	データバッファ
3	FMT
4	MPU
5	ECCP
6	エンコーダ/デコーダ
7	LD制御部
8	光学ヘッド
8a	LD
8b	PD
9	スピンドルモータ
10	光ディスク
12	リードアンプ
13, 14	VFO
15	制御回路
20	半導体チップ
21	VFOレジスタ

- 25
- 2 2 シンクバイトレジスタ
- 2 3 データバッファ
- 2 4 マルチプレクサ
- 2 5 エンコーダ
- 2 6 P/S変換器
- 2 7 エンコーダ
- 2 8 リシンクパターン生成部
- 2 9 リシンクパターン挿入部
- 3 0 DSV計算回路

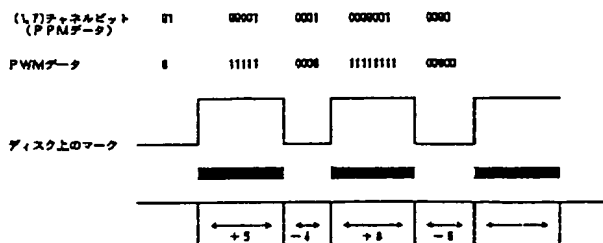
【図 1】

入力ビットがチャネルビットに変換される様子を示す図

先行する チャネルビット	現在の入力ビット	後続する 入力ビット	チャネルビット RLL(1, 7) 変換コード
X	0 0	0 X	0 0 1
0	0 0	1 X	0 0 0
1	0 0	1 X	0 1 0
0	0 1	0 X	0 0 1
0	0 1	1 X	0 0 0
1	0 1	0 0	0 1 0
1	0 1	not 0 0	0 0 0
0	1 0	0 X	1 0 1
0	1 0	1 X	0 1 0
0	1 1	0 0	0 1 0
0	1 1	not 0 0	1 0 0

【図 4】

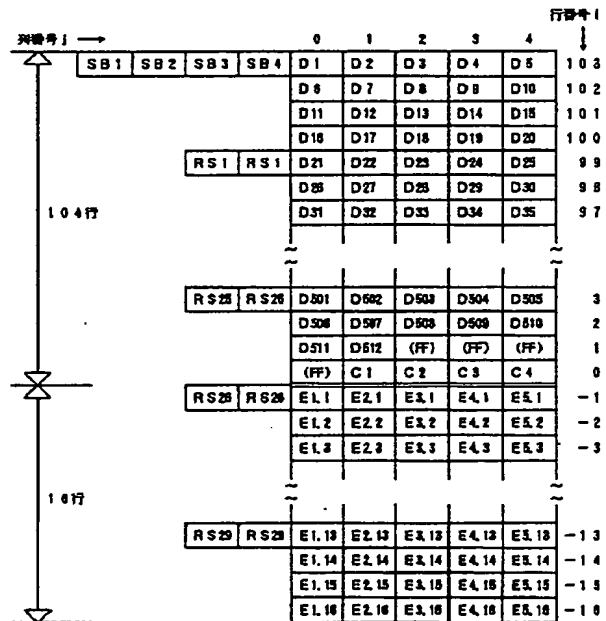
PPMデータ及びPWMデータと光ディスク上に記録されるマークとの関係を示す図



- 26
- 3 1 ライトシーケンスカウンタ
- 3 2 マルチプレクサ
- 3 3 パルス列生成部
- 4 1 入力部
- 4 2 カウント部
- 4 3 DSV計算部
- 4 4 DSV選択部
- 4 5 プリロード部

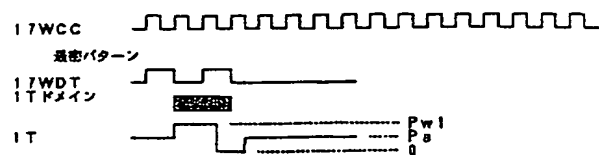
【図 2】

セクタが512バイトからなりECCが5インターリーブを用いる場合のデータフィールドDF内での記録順序を示す図



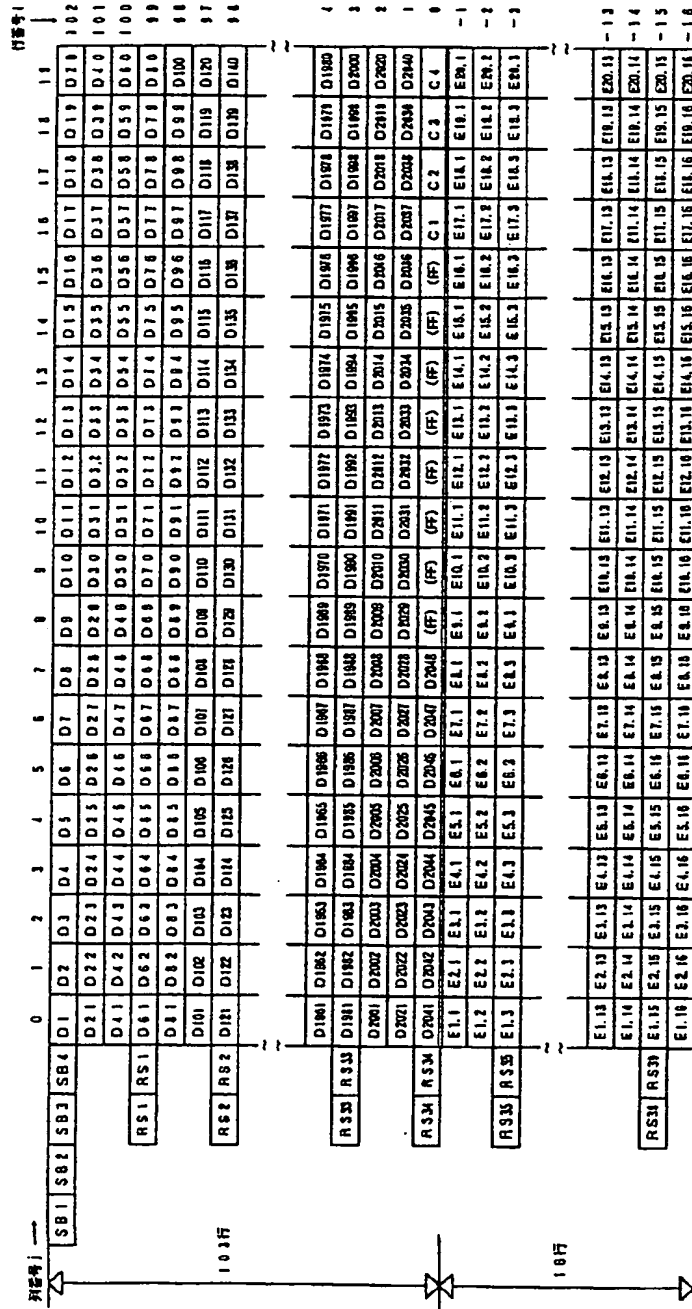
【図 7】

光ディスク上に記録されるパターンが最密(1T)パターンである場合のチャネルビットクロック17WCCと、データ列17WDTと、光ディスク上のマークのドメインと、パルス列生成部の出力レベルとの関係を示す図



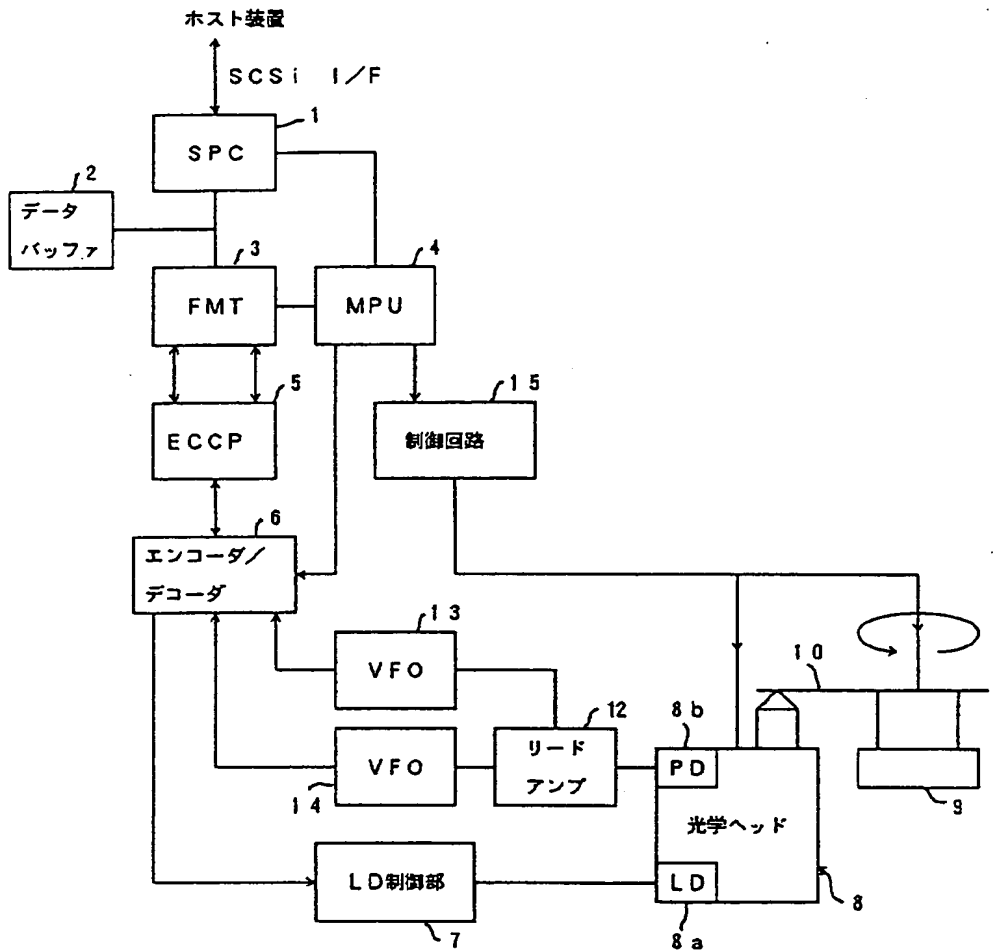
【図3】

セクタが2048バイトからなりECCが20インターリーブ
を用いる場合のデータフィールドDF内での記録順序を示す図



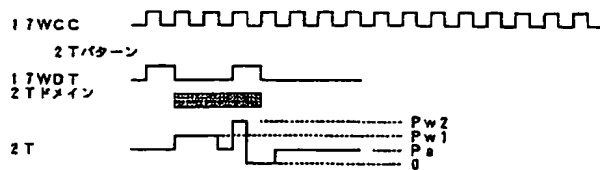
【図 5】

本発明になる記憶装置の一実施例の概略構成を示すブロック図



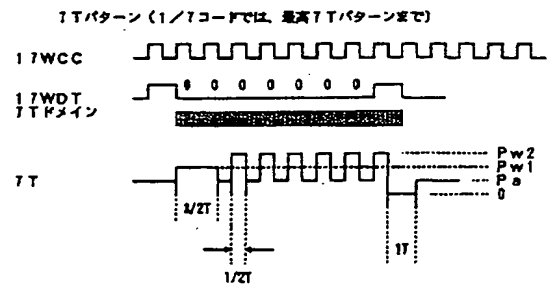
【図 8】

光ディスク上に記録されるパターンが2Tパターンである場合の
チャンネルビットクロック17WCCと、データ列17WDTと、光ディスク上の
マークのドメインと、パルス発生部の出力レベルとの関係を示す図



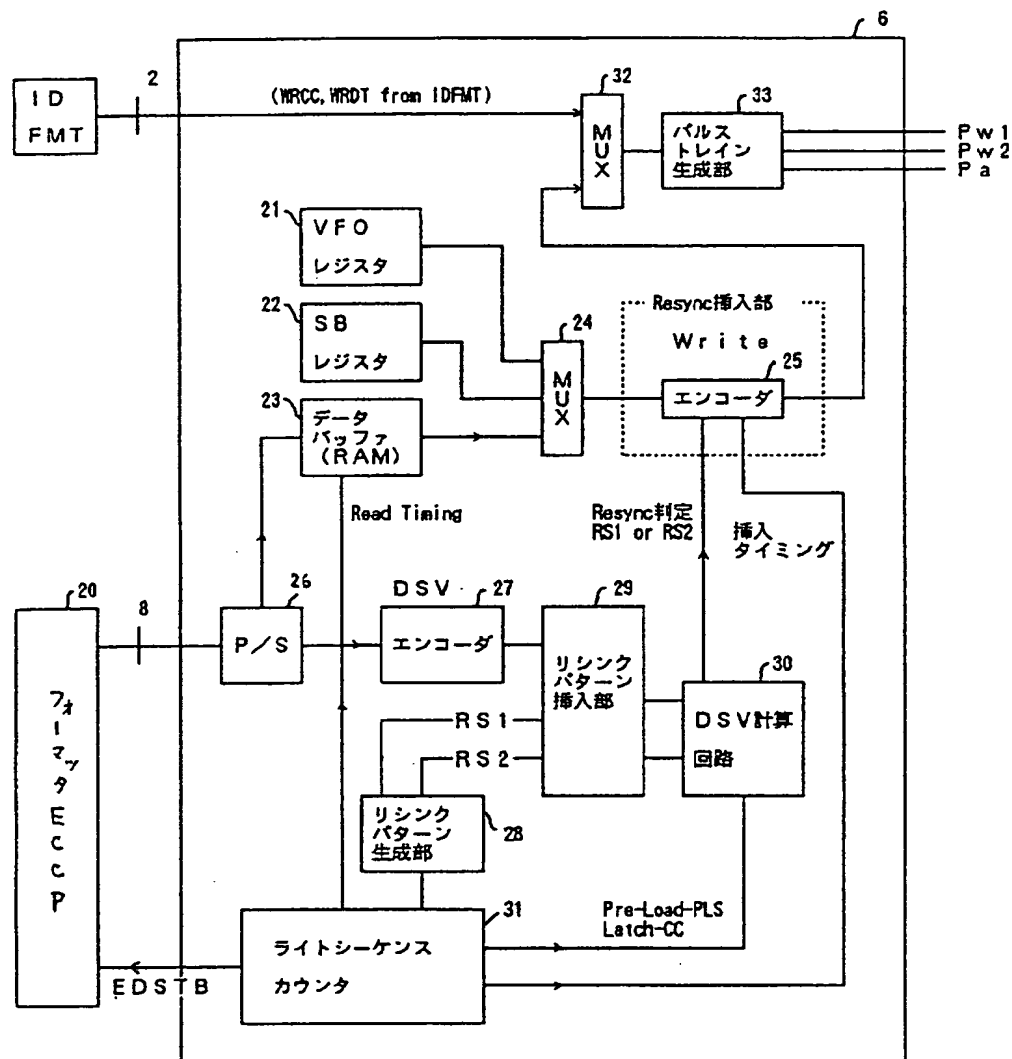
【図 9】

光ディスク上に記録されるパターンがRLL (1, T) 変換コードの
最粗 (7T) パターンである場合のチャンネルビットクロック17WCCと、
データ列17WDTと、光ディスク上のマークのドメインと、
パルス発生部の出力レベルとの関係を示す図



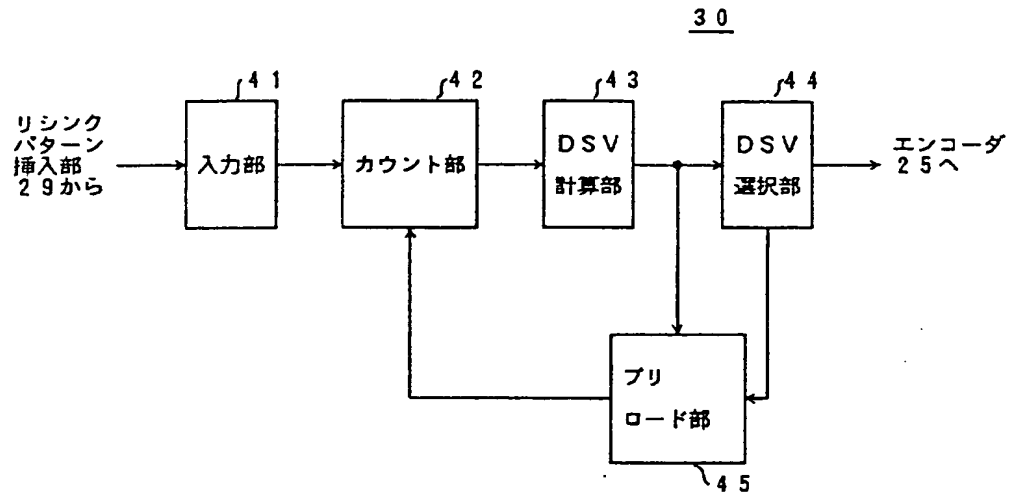
【図 6】

エンコーダ/デコーダの一実施例を示すブロック図



【図 10】

DSV 計算回路の一実施例を示すブロック図



【図 12】

提案されている規格のセクタレイアウトを説明する図

(a)

SM	WF01	AM	ID1	WF02	AM	ID2	PA
8	26	1	3	16	1	3	1

		RF					
(b)	PFH	G	WF03	S	DF	PA	B
	63	8	27	4	558	1	17

(c)

		RF				
PFH	G	WF03	S	DF	PA	B
63	8	27	4	2458	1	23

【図 11】

図 10 に示す DSV 計算回路の構成をより詳細に示すブロック図

